

Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 063 766 A2

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:

27.12.2000 Patentblatt 2000/52

(51) Int. Cl.⁷: H03C 3/09

(21) Anmeldenummer: 00111572.4

(22) Anmeldetag: 30.05.2000

(84) Benannte Vertragsstaaten:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE

Benannte Erstreckungsstaaten:

AL LT LV MK RO SI

(30) Priorität: 25.06.1999 DE 19929167

(71) Anmelder:

Infineon Technologies AG
81541 München (DE)

(72) Erfinder: Märzinger, Günter

4161 Ulrichsberg (AT)

(74) Vertreter:

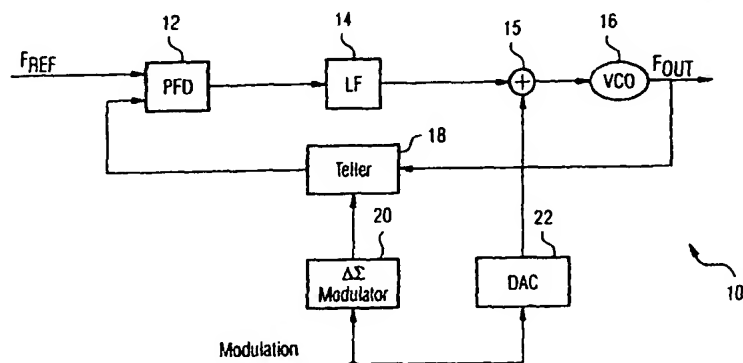
Zedlitz, Peter, Dipl.-Inf. et al
Patentanwalt,
Postfach 22 13 17
80503 München (DE)

(54) Modulator und Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL-Schaltung

(57) Modulator und Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL-Schaltung, wobei die Modulation sowohl an einem Punkt der PLL erfolgt, an dem sich ein Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an einem weiteren Punkt der PLL erfolgt, an dem sich ein

Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, wobei die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenz-Teiler im Rückführzweig der PLL digital erfolgt.

FIG 2



EP 1 063 766 A2

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Modulator und ein Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL-(Phase Locked Loop = Nachlaufsynchronisation)-Schaltung, wobei die Modulation sowohl an einem Punkt der PLL-Schaltung erfolgt, an dem sich ein Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an einem weiteren Punkt der PLL-Schaltung, an dem sich ein Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt.

[0002] Solche Schaltungen sind bereits aus dem Stand der Technik bekannt, beispielsweise aus den Veröffentlichungen:

[0003] P.L. Field et al., "Optimum Loop Bandwidth of Phase-Locked Loop Modulators", IEE Colloquium on "Advanced Modulation and Channel Coding Techniques for Mobile Communication", London 1992, p.7/1-5,

[0004] R. A. Meyers, P.H. Waters, "Synthesizer Review for Pan-European Digital Cellular Radio", IEE Symposium on VLSI Implementation for 2nd Generation Cordless and Mobile Communication Systems, 1990, p. 8/1-10 und

[0005] S. Grimmer, "Frequency Modulation in a Phase Locked Loop by Control of the Phase Inside the Loop", Frequency Synthesis Handbook, a Collection from RFdesign, 1992, p. 70-73.

[0006] Dabei wird an zwei Punkten der PLL, an einem Punkt mit Hochpaß-Verhalten und einem Punkt mit Tiefpaß-Verhalten die Modulation eingebracht. Die beiden Modulationssignale überlagern sich am Ausgang der PLL und man erhält auf diese Weise ein frequenzunabhängiges Übertragungsverhalten der Loop. Das Problem bei den im Stand der Technik dargestellten Lösungen ist die verwendete Methode zum Einbringen des Signals an einem Punkt mit Tiefpaß-Charakteristik. Hierfür war bisher immer analoge Schaltungstechnik zur Signalbearbeitung notwendig. Damit verbunden waren Toleranzprobleme bei der Fertigung und Driftprobleme mit der Temperatur und der Alterung. Aufgrund der Tiefpaß-Charakteristik an diesem Einspeise-Punkt wurden solche Störungen auch nicht durch die PLL reduziert.

[0007] Es ist daher Aufgabe der vorliegenden Erfindung, diese Probleme mit Toleranz und Drift an dem Einspeise-punkt mit Tiefpaßverhalten zu vermeiden.

[0008] Erfindungsgemäß wird diese Aufgabe durch einen Modulator gelöst, bei dem die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenzteiler im Rückführzweig der PLL-Schaltung digital erfolgt. Ebenso wird die Aufgabe der vorliegenden Erfindung durch ein entsprechendes Verfahren gelöst, bei dem die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenzteiler im Rückführzweig der PLL-Schaltung digital erfolgt.

[0009] Erfindungsgemäß ist es dabei besonders bevorzugt, daß als Frequenzteiler ein multi-modulus-Teiler verwendet wird. Dadurch ist es möglich, ganzzahlige Vielfache von 2π von der Phase des spannungsgesteuerten Oszillators abzuziehen, bzw. zu addieren (Pulse Swallowing-Prinzip).

[0010] Weiter ist es dabei besonders bevorzugt, das Modulationssignal vor der Ansteuerung des Frequenzteilers einer Delta-Sigma-Modulation zu unterwerfen bzw. einen Delta-Sigma-Modulator zwischen Modulationssignal und Frequenzteiler anzuordnen. Dadurch können auch sehr feine Quantisierungsstufen der eingebrachten Phase erreicht werden. Weiter erfolgt die Modulation mit Hochpaß-Übertragungsverhalten vorzugsweise durch Summation des modulierenden Signals mit dem Signal zwischen Schleifenfilter und spannungsgesteuertem Oszillator. Zu diesem Zweck erfolgt die Modulation mit Hochpaß-Übertragungsverhalten vorzugsweise an einem Summationspunkt, der zwischen Schleifenfilter und spannungsgesteuertem Oszillator angeordnet ist. Hierbei kann auch eine analoge Verarbeitung erfolgen, da durch die Hochpaßcharakteristik an diesem Punkt Toleranzprobleme und Drift-Probleme reduziert werden.

[0011] Die vorliegende Erfindung wird im folgenden anhand des in den beiliegenden Zeichnungen dargestellten Ausführungsbeispiels näher erläutert. Es zeigen:

Figur 1 die gemäß dem Stand der Technik möglichen Punkte zur Einbringung einer Modulation in eine PLL; und

Figur 2 einen erfindungsgemäßen Zwei-Punkt-Modulator.

[0012] Zum besseren Verständnis der Erfindung soll zuerst der Stand der Technik anhand der Figur 1 näher erläutert werden. Die Figur 1 zeigt eine PLL-Schaltung 10. Diese besitzt einen Eingang für das Eingangssignal ϕ_{IN} . Dieser führt zum Phasendetektor 12, an den Phasendetektor 12 ist der Schleifenfilter 14 und an diesem ein spannungsgesteuerter Oszillator (VCO) 16 angeschlossen. Der Ausgang des spannungsgesteuerten Oszillators liefert das Ausgangssignal ϕ_{OUT} . Dieses Ausgangssignal wird gleichzeitig über einen Teiler 18 an den Phasendetektor 12 zurückgeliefert. Dort wird die Differenz zwischen Eingangs- und Ausgangssignal gebildet, womit sich der Regelkreis schließt.

[0013] Wenn eine solche PLL-Schaltung 10 (Phase Locked Loop, zu deutsch Nachlaufsynchronisation) zur Phasen- oder Frequenzmodulation verwendet werden soll, gibt es prinzipiell verschiedene Punkte in der PLL-Schaltung 10, an denen man das Modulationssignal in die Schleife der PLL einbringen kann. Diese möglichen Punkte zur Einbringung der Modulation in die PLL sind in Figur 1 dargestellt und mit den Bezugszeichen M1 bis M6 bezeichnet.

[0014] Der Einspeisepunkt M1 führt zu einer Addition des Modulations-Signals zum Eingangssignal ϕ_{IN} , der Ein-

speisungspunkt M2 liegt zwischen Phasendetektor 12 und Schleifenfilter 14, der Einspeisungspunkt M3 liegt zwischen Schleifenfilter 14 und spannungsgesteuertem Oszillator 16, der Einspeisungspunkt M4 liegt vor der Abzweigung des Rückführzweiges zum Teiler 18 und beeinflusst damit das Ausgangssignal φ_{OUT} , der Einspeisepunkt M5 liegt vor dem Teiler 18 im Rückführzweig und der Einspeisepunkt M6 liegt zwischen dem Teiler 18 und dem Phasendetektor 12.

5 [0015] Mathematisch ergeben sich an diesen Punkten die folgenden Übertragungsfunktionen:

10 für M1:
$$\frac{\varphi_{out}}{M_1} = N \frac{1}{1 + \frac{s}{F(s)} \frac{N}{K_\bullet K_{vco}}}$$

15 für M2:
$$\frac{\varphi_{out}}{M_2} = \frac{N}{K_\bullet} \frac{1}{1 + \frac{s}{F(s)} \frac{N}{K_\bullet K_{vco}}}$$

20 für M3:
$$\frac{\varphi_{out}}{M_3} = \frac{K_{vco}}{s} \frac{1}{1 + \frac{F(s)}{s} \frac{K_\bullet K_{vco}}{N}}$$

25 für M4:
$$\frac{\varphi_{out}}{M_4} = \frac{1}{1 + \frac{F(s)}{s} \frac{K_\bullet K_{vco}}{N}}$$

30 für M5:
$$\frac{\varphi_{out}}{M_5} = \frac{1}{1 + \frac{s}{F(s)} \frac{N}{K_\bullet K_{vco}}}$$

35 für M6:
$$\frac{\varphi_{out}}{M_6} = N \frac{1}{1 + \frac{s}{F(s)} \frac{N}{K_\bullet K_{vco}}}$$

40
45
50 [0016] Interessant ist dabei, daß sich für eine Einbringung der Modulation bei M3 und M4 ein Hochpaß-Übertragungsverhalten der PLL ergibt, während bei Einbringung der Modulation an M1, M2, M5 und M6 ein Tiefpaß-Übertragungsverhalten auftritt. Verwendet man also einen der Tiefpaß-Punkte (M1, M2, M5 oder M6) der PLL zum Einspeisen der Modulation, dann wird das Modulationssignal mit einer Tiefpaß-Funktion bewertet. Dies schränkt die Modulationsbandbreite im Allgemeinen auf kleiner als die PLL-Bandbreite ein. Verwendet man den Hochpaßpunkt M3 (für M4 ist noch keine Technik zum Einbringen einer Modulation bekannt), dann werden die Tiefen-Frequenzen des Modulationspektrums abgeschwächt, was im Allgemeinen zu einer nicht akzeptierbaren Verschlechterung der Modulationsqualität führt.

[0017] Aus dem Stand der Technik, beispielsweise den o.g. Entgegenhaltungen, ist bereits eine Möglichkeit bekannt, die es erlaubt, eine PLL mit Signalen, die eine Bandbreite größer als die PLL-Bandbreite besitzen, zu modulieren. Dieses Verfahren wird als Zwei-Punkt-Modulation bezeichnet. Dabei wird an zwei Punkten der PLL, an einem Hochpaß- und einem Tiefpaßpunkt, die Modulation eingebracht. Die beiden Modulationssignale überlagern sich am Ausgang der PLL und man erhält auf diese Weise ein frequenzunabhängiges Übertragungsverhalten der PLL. Das Problem bei den bisherigen Lösungen beruhte in der Einbringung des Signals an einem Tiefpaßpunkt. Hierfür war analoge Schaltungstechnik zur Signalbearbeitung notwendig. Damit verbunden waren Toleranzprobleme bei der Fertigung und Driftprobleme mit der Temperatur und der Alterung. Diese Driften und Toleranzen wurden durch die PLL nicht wie beim Hochpaßpunkt reduziert, da eine Tiefpaß-Charakteristik gegen solche niederfrequenten oder gar Gleichstromdriften leider sehr empfindlich ist.

[0018] Erfindungsgemäß wird daher eine solche Zwei-Punkt-Modulation dergestalt weiterentwickelt, daß das Signal digital am Tiefpaßpunkt M5 der PLL eingebracht wird. Durch die Verwendung digitaler Techniken können dabei die Probleme mit Toleranzen und Driften vermieden werden. Außerdem kann erfindungsgemäß eine wesentlich genauere Sollwertvorgabe für die niederfrequenten Anteile des modulierenden Signals erreicht werden. Erfindungsgemäß wird dazu vorzugsweise in der Rückführungsschleife der PLL ein multi-modulus-Teiler verwendet. Dieser erlaubt es, ganzzahlige Vielfache von 2π von der Phase des spannungsgesteuerten Oszillators (VCO) abzuziehen, bzw. dazu zu addieren (Pulse Swallowing Prinzip). Die Quantisierung der eingebrachten Phase auf Vielfache von 2π stellt dabei keine Einschränkung der Verwendbarkeit dar, wenn man für die Ansteuerung des multi-modulus-Teilers Delta-Sigma-Techniken, wie sie bei den Digital-analog bzw. Analog-digital-Wandlern eingesetzt werden, verwendet. Damit kann man erfindungsgemäß einen Zwei-Punkt-Modulator realisieren, der als Hochpaßpunkt M3 und als Tiefpaßpunkt M5 bzw. direkt den Teiler 18 selbst verwendet.

[0019] Figur 2 zeigt ein Ausführungsbeispiel der Erfindung. Im rückläufigen Zweig der PLL-Schleife befindet sich erfindungsgemäß ein multi-modulus-Teiler 18. Dieser teilt die Frequenz an seinem Eingang durch $(N+\Delta N)$. Dies kann auch betrachtet werden, als ein Teilen durch N und ein Verschlucken von ΔN -Eingangsimpulsen bzw. ein Hinzufügen von ΔN -Eingangsimpulsen bei negativen ΔN . Da ein Eingangsimpuls einer Phase von 2π beim spannungsgesteuerten Oszillator entspricht, bietet ein multi-modulus-Teiler die Möglichkeit, Vielfache von 2π perfekt zur VCO-Phase zu addieren bzw. zu subtrahieren. Für Modulationszwecke benötigt man aber im Allgemeinen wesentlich feinere Quantisierungsstufen der eingebrachten Phase. Dies kann, wie oben bereits dargestellt, leicht dadurch erreicht werden, daß man das Modulationssignal vor Ansteuerung des Teilers einer Delta-Sigma-Modulation unterwirft, bzw. zwischen den Modulationssignal und den multi-modulus-Teiler 18 einen Delta-Sigma-Modulator 20 schaltet.

[0020] Es ergibt sich dann die in Figur 2 dargestellte Schaltung. Die PLL-Schaltung 10 besteht wie üblich aus dem Phasen-Detektor (PFD) 12, dem die Referenzfrequenz F_{REF} zugeführt wird. An diesen schließt sich das Schleifenfilter (LF) 14 an. Der Ausgang des Schleifenfilters 14 ist mit einem Summationspunkt 15 verbunden. Dieser Summationspunkt 15 weist eine Hochpaßcharakteristik in der Übertragung des dort eingeschleiften Modulationssignals auf. Der Ausgang des Summationspunktes 15 ist mit dem spannungsgesteuerten Oszillator (VCO) 16 verbunden, dessen Ausgang die Ausgangsfrequenz (F_{OUT}) liefert. Die Ausgangsfrequenz (F_{OUT}) wird über den Teiler 18 an den Phasendetektor 12 und damit an den Eingang der Schleife zurückgeführt. Erfindungsgemäß ist der Teiler 18 hier als multi-modulus-Teiler ausgeführt, der durch $N+\Delta N$ teilt. Das Signal ΔN wird dabei über einen Delta-Sigma-Modulator 20 zugeführt, der mit dem Modulationseingangssignal verbunden ist. Gleichzeitig wird das Modulationseingangssignal über einen Digital-Analog-Wandler (DAC) 22 dem Summationspunkt 15 zugeführt. Die Signalverarbeitung kann an diesem Summationspunkt 15 problemlos analog erfolgen, da dieser Summationspunkt eine Hochpaßcharakteristik aufweist, und daher gegen Toleranzen und Drift, die ja extrem niederfrequent bzw. reine Gleichstromanteile sind, unempfindlich ist.

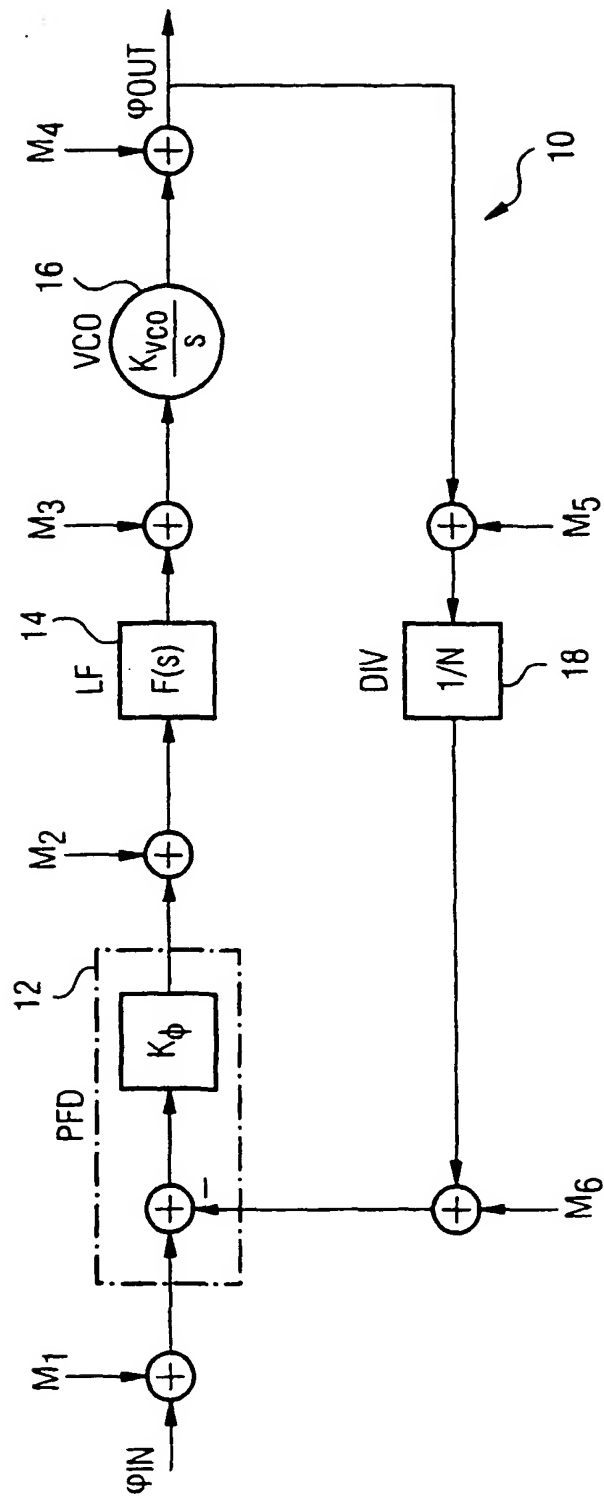
Patentansprüche

1. Modulator zur Phasen- oder Frequenzmodulation mit einer PLL (Phase Locked Loop = Nachlaufsynchronisation) - Schaltung (10), wobei die Modulation sowohl an einem Punkt (M3) der PLL-Schaltung (10) erfolgt, an dem sich ein Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an einem weiteren Punkt (M5) der PLL-Schaltung (10) erfolgt, an dem sich ein Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, **dadurch gekennzeichnet**, daß die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenzteiler (18) im Rückführungszweig der PLL-Schaltung (10) digital erfolgt.
2. Modulator nach Anspruch 1, **dadurch gekennzeichnet**, daß als Frequenzteiler (18) ein multimodulus-Teiler vorgesehen ist.
3. Modulator nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß ein Delta-Sigma-Modulator (20) zwischen Modulationssignal und Frequenzteiler (18) angeordnet ist.

EP 1 063 766 A2

4. Modulator nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß die Modulation mit HochpaßÜbertragungsverhalten an einem Summationspunkt (15) erfolgt, der zwischen Schleifenfilter (14) und spannungsge-
steuertem Oszillator (16) angeordnet ist.
5. Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL (Phase Locked Loop = Nachlaufsynchronisation) -
Schaltung (10), wobei die Modulation sowohl an einem Punkt (M3) der PLL-Schaltung (10) erfolgt, an dem sich ein
Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an einem weiteren Punkt
(M5) der PLL-Schaltung (10) erfolgt, an dem sich ein Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz
ergibt, **dadurch gekennzeichnet**, daß die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenzteiler
(18) im Rückführungszweig der PLL-Schaltung digital erfolgt.
6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet**, daß als Frequenzteiler (18) ein multimodulus-Teiler ver-
wendet wird.
7. Verfahren nach Anspruch 5 oder 6, **dadurch gekennzeichnet**, daß das Modulationssignal vor der Ansteuerung
des Frequenzteilers (18) einer Delta-Sigma-Modulation unterworfen wird.
8. Verfahren nach einem der Ansprüche 5 bis 7, **dadurch gekennzeichnet**, daß die Modulation mit Hochpaß-Über-
tragungsverhalten durch Summation des modulierenden Signals mit dem Signal zwischen Schleifenfilter (14) und
spannungsgesteuertem Oszillator (16) erfolgt.

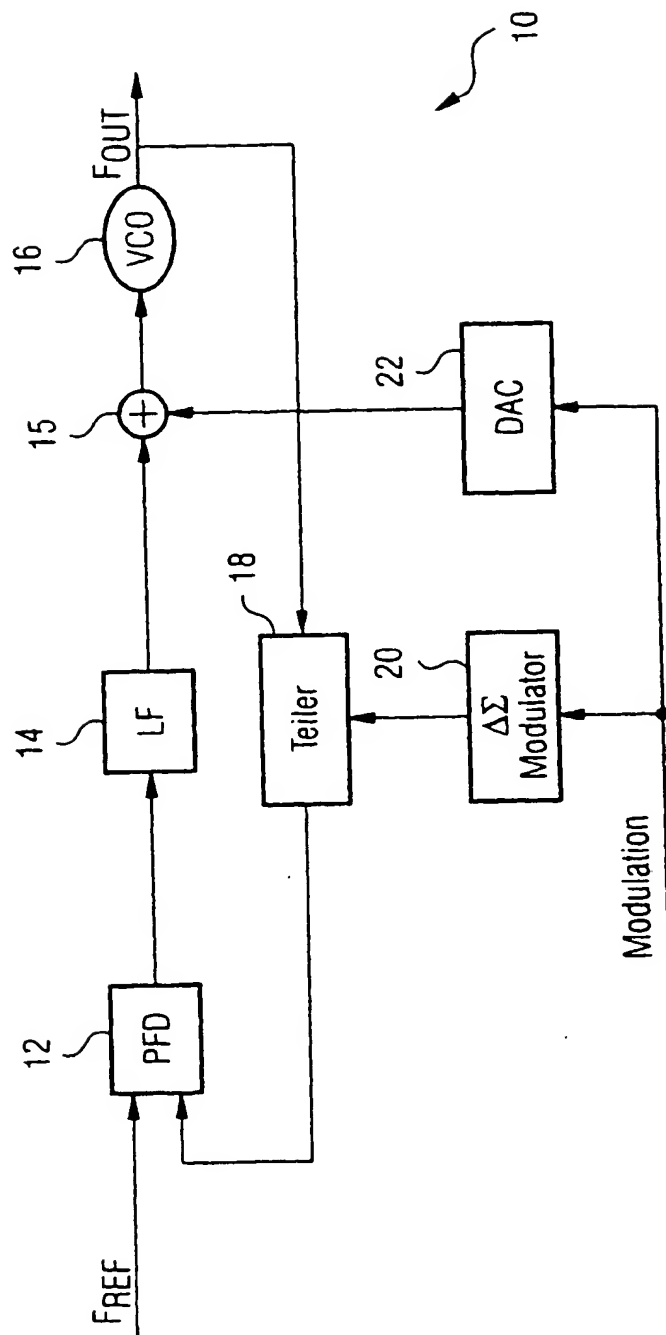
FIG 1

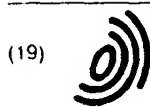


EP 1 063 766 A2

4. Modulator nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß die Modulation mit HochpaßÜbertragungsverhalten an einem Summationspunkt (15) erfolgt, der zwischen Schleifenfilter (14) und spannungsgesteuertem Oszillator (16) angeordnet ist.
5. Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL (Phase Locked Loop = Nachlaufsynchronisation) - Schaltung (10), wobei die Modulation sowohl an einem Punkt (M3) der PLL-Schaltung (10) erfolgt, an dem sich ein Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an einem weiteren Punkt (M5) der PLL-Schaltung (10) erfolgt, an dem sich ein Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, **dadurch gekennzeichnet**, daß die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenzteiler (18) im Rückführungsweig der PLL-Schaltung digital erfolgt.
6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet**, daß als Frequenzteiler (18) ein multimodulus-Teiler verwendet wird.
7. Verfahren nach Anspruch 5 oder 6, **dadurch gekennzeichnet**, daß das Modulationssignal vor der Ansteuerung des Frequenzteilers (18) einer Delta-Sigma-Modulation unterworfen wird.
8. Verfahren nach einem der Ansprüche 5 bis 7, **dadurch gekennzeichnet**, daß die Modulation mit Hochpaß-Übertragungsverhalten durch Summation des modulierenden Signals mit dem Signal zwischen Schleifenfilter (14) und spannungsgesteuertem Oszillator (16) erfolgt.

FIG 2





Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 1 063 766 A3

(12)

EUROPÄISCHE PATENTANMELDUNG

(88) Veröffentlichungstag A3
10.07.2002 Patentblatt 2002/28

(51) Int Cl⁷ H03C 3/09

(43) Veröffentlichungstag A2
27.12.2000 Patentblatt 2000/52

(21) Anmeldenummer: 00111572.4

(22) Anmeldetag: 30.05.2000

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(71) Anmelder Infineon Technologies AG
81669 München (DE)

(72) Erfinder: Märzinger, Günter
4161 Ulrichsberg (AT)

(30) Priorität: 25.06.1999 DE 19929167

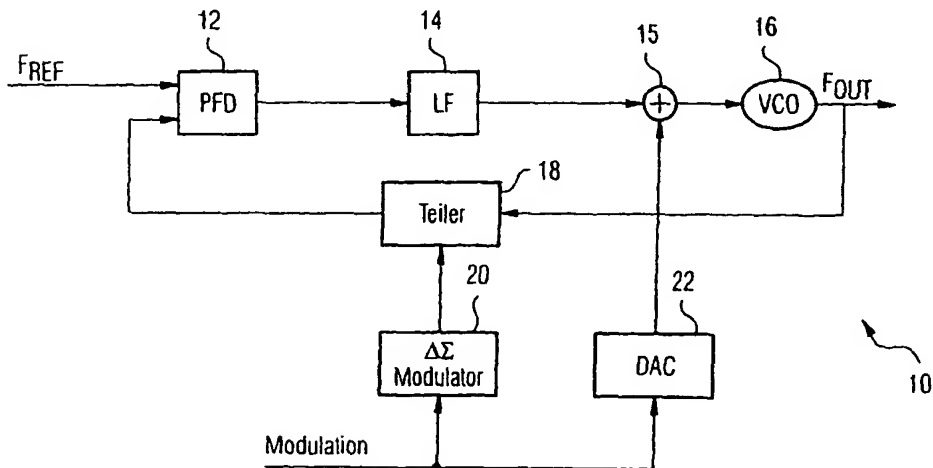
(74) Vertreter: Epping Hermann & Fischer
Ridlerstrasse 55
80339 München (DE)

(54) Modulator und Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL-Schaltung

(57) Modulator und Verfahren zur Phasen- oder Frequenzmodulation mit einer PLL-Schaltung, wobei die Modulation sowohl an einem Punkt der PLL erfolgt, an dem sich ein Hochpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, als auch zusätzlich an ei-

nem weiteren Punkt der PLL erfolgt, an dem sich ein Tiefpaß-Übertragungsverhalten für die Modulationsfrequenz ergibt, wobei die Modulation mit Tiefpaß-Übertragungsverhalten in einem Frequenz-Teiler im Rückführzweig der PLL digital erfolgt.

FIG 2



EP 1 063 766 A3

EP 1 063 766 A3



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 00 11 1572

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Beitritt Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
X	US 5 834 987 A (P. DENT) 10. November 1998 (1998-11-10) * Spalte 7, Zeile 5 - Spalte 10, Zeile 3; Abbildungen 3-6 *	1-8	H03C3/09
X	WO 99 07065 A (ERICSSON INC) 11. Februar 1999 (1999-02-11) * Seite 7, Zeile 1 - Seite 8, Zeile 22; Abbildungen 1,2 *	1-8	
A	US 5 802 462 A (L. LAUTZENHISER) 1. September 1998 (1998-09-01) * Spalte 18, Zeile 18 - Spalte 23, Zeile 41; Abbildung 14 *	1-8	
A	US 5 021 754 A (W. SHEPHERD) 4. Juni 1991 (1991-06-04) * Spalte 2, Zeile 55 - Spalte 3, Zeile 65; Abbildung 1 *	1-8	
A	EP 0 408 238 A (PLESSEY LTD) 16. Januar 1991 (1991-01-16) * Seite 3, Spalte 4, Zeile 1 - Seite 4, Spalte 5, Zeile 5; Abbildung 1 *	1-8	RECHERCHIERTE SACHGEBIETE (Int.Cl.7) H03C H03L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 15. Mai 2002	Prüfer Butler, N
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentsdokument, das jedoch erst am oder nach dem Anmelde/datum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument A : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EP 00 11 1572 (P.0001)

ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.

EP 00 11 1572

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Daten des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr

15-05-2002

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5834987 A	10-11-1998	AU 8668098 A	22-02-1999
		EP 1000462 A1	17-05-2000
		WO 9907066 A1	11-02-1999
WO 9907065 A	11-02-1999	US 5983077 A	09-11-1999
		AU 8599098 A	22-02-1999
		BR 9810828 A	25-07-2000
		CN 1265785 T	06-09-2000
		EP 1000461 A1	17-05-2000
		JP 2001512912 T	28-08-2001
		WO 9907065 A1	11-02-1999
US 5802462 A	01-09-1998	US 5497509 A	05-03-1996
		US 5091706 A	25-02-1992
		US 5097230 A	17-03-1992
		CA 2033861 A1	25-11-1991
		CA 2033878 A1	25-11-1991
		CA 2080013 C	13-06-1995
		EP 0531451 A1	17-03-1993
		WO 9118444 A1	28-11-1991
		US 5311152 A	10-05-1994
US 5021754 A	04-06-1991	AT 128288 T	15-10-1995
		DE 69113271 D1	26-10-1995
		DE 69113271 T2	02-05-1996
		DK 539403 T3	27-12-1995
		EP 0539403 A1	05-05-1993
		JP 2650492 B2	03-09-1997
		JP 6500899 T	27-01-1994
		KR 9605372 B1	24-04-1996
		WO 9202077 A1	06-02-1992
EP 408238 A	16-01-1991	DE 69026151 D1	02-05-1996
		DE 69026151 T2	22-08-1996
		EP 0408238 A2	16-01-1991
		GB 2233844 A , B	16-01-1991

EPO/JUN/P0451

Docket # _____

Applic. # _____

Applicant: _____

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr. 12/82